

**Two channel memory system having shared control and address bus and memory modules used therefor**

Patent Number: ☐ [US2002001214](#)  
Publication date: 2002-01-03  
Inventor(s): PARK MYUN-JOO (KR); SO BYUNG-SE (KR); LEE SANG-WON (KR)  
Applicant(s): SAMSUNG ELECTRONICS CO LTD (US)  
Requested Patent: ☐ [JP2002041444](#)  
Application Number: US20010777547 20010206  
Priority Number(s): KR20000037399 20000630  
IPC Classification: G11C5/02  
EC Classification: [G11C5/02S](#)  
Equivalents: CN1332457, ☐ [DE10121901](#), ☐ [GB2367400](#), KR2002003015, ☐ [US6414904](#)

---

**Abstract**

---

A memory system, which can improve the operation speed of a data bus and is suitable for widening bandwidth by extending the width of the data bus, and memory modules used for the memory system are provided. In the memory system, data buses of a first channel and data buses of a second channel are extended from a memory controller and are arranged on the left and right of a common control and address bus, respectively. Memory modules of a first group are loaded in the data buses of the first channel and memory modules of a second group are loaded in the data buses of the second channel. Also, in the memory system, the memory modules share the common control and address bus positioned in the center. Also, the memory modules are arranged so that some parts of the memory modules overlap each other and that the memory modules of the first group and the memory modules of the second group cross each other. Each of the memory modules includes a plurality of memory devices mounted on the memory module, a signal input and output portion positioned on a side of the memory module, the signal input and output portion for connecting the memory module to a connector on a system board, a buffer mounted on the memory module, and a control and address bus connected between the signal input and output portion and the buffer. The memory devices are sequentially connected to the output line of the buffer so that a signal that passed through the control and address bus is input to the respective memory devices at time intervals through the buffer

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-259417

(43) 公開日 平成11年(1999)9月24日

(51) Int. Cl.<sup>6</sup>  
G 0 6 F 13/36  
13/16

識別記号  
5 3 0  
5 1 0

F 1  
G 0 6 F 13/36  
13/16

5 3 0 B  
5 1 0

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号 特願平10-63062

(22) 出願日 平成10年(1998)3月13日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 坂下 陽平

福岡県福岡市博多区博多駅前3丁目22番3  
号 富士通九州デジタル・テクノロジ株  
式会社内

(74) 代理人 弁理士 井桁 貞一

(54) 【発明の名称】 バスアクセス方式およびバスアクセス制御装置

(57) 【要約】

【課題】 本発明はデータバスとアドレスバスで構成されるバスシステムにおいて、リード/ライトの同時アクセスを行うバスアクセス方式に関し、バス幅を複数のサブバスに分割することにより、バスの使用効率を高めることのできるバスアクセス方式を実現することを目的とする。

【解決手段】 所定のビット幅のデータバスを、任意のバス幅を有する複数のサブバスに分割するバス分割部と、バス分割部により、分割されたサブバスに独立して、アクセス制御を行うサブバス制御部を設け、サブバス制御部120は、バス分割部110で分割した複数のサブバスの制御を独立して行い、アクセス対象のデバイスに、サブバス単位で同時リード/ライトを行うように構成する。

